



(19)

(11) Publication number: 07050417 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 05213548

(51) Intl. Cl.: H01L 29/786 H01L 21/20 H01L 21/84 H01L 27/12

(22) Application date: 06.08.93

(30) Priority:	(71) Applicant: CANON INC
(43) Date of application publication: 21.02.95	(72) Inventor: INOUE SHUNSUKE
(84) Designated contracting states:	(74) Representative:

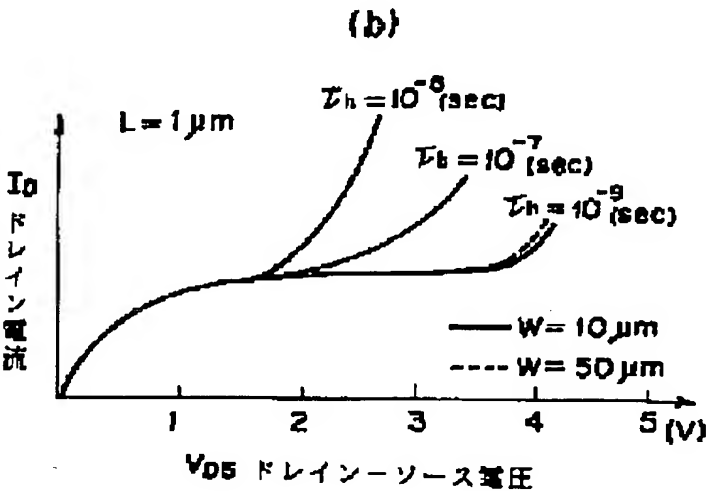
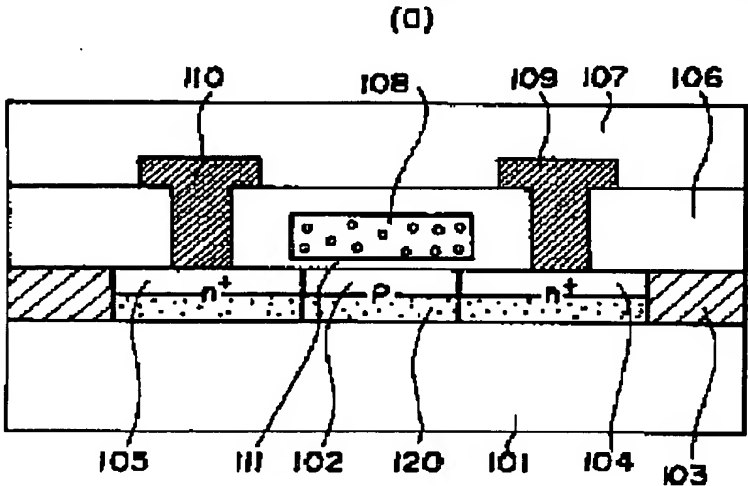
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To make high mobility and low life time of a carrier compatible by a method wherein the carrier life time in the part in contact with a part of active region is to be arranged in the low life time region smaller than the active region.

CONSTITUTION: An active region on an insulating substrate 101 is composed of a p type channel region 102, an n+source region 105, an n+drain region 104, a gate insulating film 111, and a polysilicon gate 108. On the other hand, the surface side near the polysilicon gate 108 is provided with single crystal or quasi-crystal while a low life time region 120 e.g. polycrystalline or amorphous, etc., is provided on the part near the insulating substrate 101 side. Through these procedures, the low life time layer 120 can suppress the hole accumulation to immediately extinguish the hole in the low life time region 120 so that the deterioration in the breakdown strength due to the carrier accumulation as well as the fluctuation in inverse voltage in the channel region 102 may be suppressed.

COPYRIGHT: (C)1995,JPO



Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION
Publication No. 7-50417

[0013]

[Embodiments] Embodiments of the present invention will be hereinbelow in detail described with reference to drawings.

(First Embodiment) The first embodiment of the present invention will be described with reference to Figures 1(a) and 1(b). Figure 1(a) is a sectional view of an NMOSFET and Figure 1(b) illustrates an I-V characteristic of the NMOSFET of Figure 1(a).

[0014] The NMOSFET in Figure 1(a) is composed of a p-type channel region 102 (to serve as an active region), an n^+ source region 105, an n^+ drain region 104, a gate insulating film 111 and a polysilicon gate 108 on an insulating substrate 101. Reference number 110 denotes a source electrode and reference number 109 denotes a drain electrode. The insulating film 103 surrounds the MOSFET, and the surface thereof is covered with an interlayer insulating film 106 and a surface protection film 107.

[0015] The features of the present invention in the first embodiment lies in that in the semiconductor layer forming a source, a channel and a drain, the surface portion thereof near the gate insulating film 108 is monocrystalline or quasi-single crystal, and the portion near the insulating

substrate 101 is a short lifetime layer 120 which is polycrystal or amorphous.

[0016] Operations of the NMOSFET in the present embodiment will be hereinbelow described. The operations that the potential of the gate electrode 108 is raised, the n-type channel is induced in the surface portion of the channel region 102, and an electric current is flown from the drain to the source, are thoroughly the same with those in the conventional embodiment shown in Figure 27. When the relationship between the drain-source voltage V_{DS} and the gate-source voltage V_{GS} becomes $V_{DS} > V_{GS} - V_T$ wherein a turnover voltage of the channel region 102, the NMOSFET enters into the pentode region and the electric field focuses on the portion around the drain region 104 in the channel region 102. When injection of electrons flowing in the channel into a high electric field causes impact ionization, thereby generating pairs of holes and electrons. The generated holes are accumulated in the p-type channel region 102 in relation to the potential, and then, disappear. Since an SOI-NMOSFET with a high quality has a long lifetime of a hole as described in the conventional example, the accumulation thereof precedes to increase the potential of the p-type channel region, resulting in degradation in a withstanding voltage and change in the threshold value. In the present embodiment, a short lifetime layer 120 serves to prevent the hole accumulation. More specifically, the holes immediately disappear in the short lifetime layer 120, which restrains degradation in a withstanding voltage and V_T variation due to the carrier accumulation.

[0017] Figure 1(b) illustrates the relationship between the drain electric

current (I_D) and the drain-source voltage (V_{DS}), using a lifetime τ_h of the hole in the short lifetime layer 120 as a parameter. It indicates that the shorter τ_h is, the better the saturation of the drain current is and the higher the withstanding voltage between the drain and the source is. Moreover, no dependency on the gate width is admitted, unlike in the conventional example of Figure 28 ($\tau_h = 10^{-9}$ (sec)).

[0018] A current generated from the depletion layer at p-n junction of the channel and the drain, is apprehended in the structure of Figure 1(a). More specifically, a lifetime of a generated carrier is short in the region including the short lifetime layer 120 in the depletion layer, thereby generating a reverse current larger than the ordinary current at the p-n conjunction. In the present embodiment, the thickness of the short lifetime 120 is set as sufficiently small as from a fraction to tenths of a fraction of that of the channel region 102 in order to minimize the influence thereof. As a result, a drain-source leakage current at turning a channel off can be increased to only several times of that of the conventional example in Figure 27. The increase of this level never adversely affects practical use thereof. Additionally, the effect of the disappearance of the holes remains unchanged even when the short lifetime layer 120 is set thin.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-50417

(43) 公開日 平成7年(1995)2月21日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786		8122-4M		
21/20				
21/84				
		9056-4M	H 0 1 L 29/ 78	3 1 1 H
		8122-4M	21/ 84	
審査請求 未請求 請求項の数7 F D (全 11 頁) 最終頁に続く				

(21) 出願番号 特願平5-213548

(22) 出願日 平成5年(1993)8月6日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 井上 俊輔

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

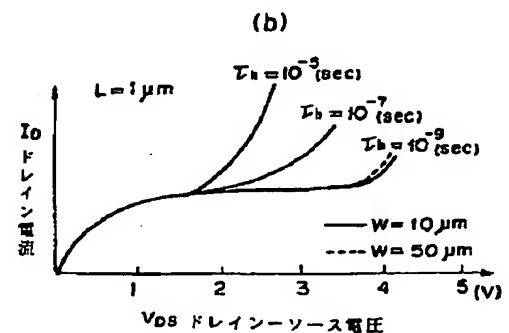
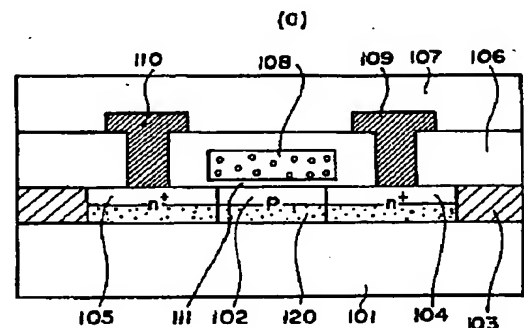
(74) 代理人 弁理士 山下 穰平

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 キャリアの高移動度とキャリアの寿命の短縮化との両立を図った半導体装置を得る。

【構成】 絶縁面上の半導体薄膜の少なくとも一部を活性領域102として用いる半導体装置において、前記活性領域102の少なくとも一部に接する、キャリアライフタイムが前記活性領域より小さい低ライフタイム領域120を設ける。



【特許請求の範囲】

【請求項 1】 絶縁面上の半導体薄膜の少なくとも一部を活性領域として用いる半導体装置において、前記活性領域の少なくとも一部に接する、キャリアライフタイムが前記活性領域より小さい低ライフタイム領域を設けたことを特徴とする半導体装置。

【請求項 2】 前記半導体装置は前記活性領域をチャンネル領域として用いる N 型絶縁ゲート電界効果トランジスタである請求項 1 記載の半導体装置。

【請求項 3】 前記活性領域は前記低ライフタイム領域と同じ半導体物質をレーザー再結晶化して形成した請求項 1 記載の半導体装置。

【請求項 4】 前記低ライフタイム領域はポリシリコンである請求項 1 記載の半導体装置。

【請求項 5】 前記低ライフタイム領域はアモルファスシリコンである請求項 1 記載の半導体装置。

【請求項 6】 前記低ライフタイム領域は、単結晶シリコン中に酸素イオン注入して形成した請求項 1 記載の半導体装置。

【請求項 7】 前記半導体装置は絶縁面上に前記低ライフタイム領域、前記活性領域を積層する構造をとり、該構造は絶縁性基板と半導体基板との貼り合わせにより形成した請求項 1 記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に係り、特に絶縁面上の半導体薄膜の少なくとも一部を活性領域として用いる半導体装置に関するものである。

【0002】

【従来の技術】絶縁基板上の薄膜半導体層を用いる半導体装置の中でも、近年、ガラス基板又は石英基板上にシリコン薄膜を用いた TFT (Thin Film Transistor) をマトリクス状に配置し、液晶をアクティブに駆動する所謂液晶表示パネルは、その利用分野の広さにより、集積性、性能を大いに向上させている。

【0003】液晶表示装置の画素数が増加し、画面が大きくなると、液晶の駆動回路にはより大きなドライブ能力が必要とされる。駆動回路には一般に MOSFET が用いられるので、駆動能力を向上させるために半導体層のキャリア移動度を大きくする努力が払われている。半導体層として一般に用いられるポリシリコン又はアモルファスシリコンのキャリア移動度は、電子移動度がそれぞれ $1 \sim 100 \text{ cm}^2 / \text{v} \cdot \text{s}$ 、 $0.1 \sim 1 \text{ cm}^2 / \text{v} \cdot \text{s}$ であり、単結晶と比べて数分の 1 から数百分の 1 である。これらを向上させるためには、

- ① ポリシリコン、アモルファスシリコンの堆積方法の工夫
- ② 低温の長時間アニールによるラージグレイン化
- ③ レーザー再結晶による単結晶化

などの方法がある。特に、③の方法によれば、単結晶とほぼ同じ移動度が得られる。

【0004】一方、直接単結晶を用いる方法もある。即ち、単結晶層が絶縁性基板上に形成された SOI 基板を用いることで、①～③の処理なしに単結晶並の移動度が得られる。SOI 基板を得る方法としては、例えば SIMOX 法、基板どうしの貼り合わせによる方法等が知られている。SOI 基板を用いた NMOSFET の断面図を図 27、その I-V 特性を図 28 に示す。NMOSFET は、絶縁性基板 201 上の p 型チャンネル領域 202、 n^+ 型ソース領域 205、 n^+ 型ドレイン領域 204、ゲート絶縁膜 211、ポリシリコンゲート 208 により構成されている。210 はソース電極、209 はドレイン電極であり、NMOSFET のまわりは絶縁膜 203 で囲われ、表面側は層間絶縁膜 206、表面保護膜 207 で覆われている。

【0005】

【発明が解決しようとする課題】上記の MOSFET では、ドレイン-ソース電圧が高くなると、ドレイン近傍のチャンネルで発生したホールが p 型層 202 に蓄積し、p 型層 202 のポテンシャルを上昇させる。この結果、チャンネル表面のしきい値が下降し、電流を増大させる。更に蓄積が進むと、ソース n^+ 部 205 と p 型層 202 との間の内蔵電位が 0 に近くなり、ソース側からチャンネルに電子が注入され、さらに p 型層のポテンシャルが上昇するという正のフィードバック効果により、NMOSFET のドレイン電流を急激に増大させ、耐圧を劣化させる。

【0006】上記のポテンシャル上昇は、p 型層中のホールの寿命に大きく依存し、寿命が長くなると、ポテンシャル上昇が起こりやすい。従って、ポリシリコン TFT において、ポリシリコン中のキャリア移動度を上昇させるために結晶性を向上させてゆくと、同じ構造でのトランジスタの耐圧は、劣化してゆく。

【0007】この様なポテンシャル上昇を抑制させる方法として、FET の側方より p 型チャンネルのコンタクトをとる方法がある。この“基板コンタクト”により、チャンネル部に蓄積したホールを有効にはき出すことができる。

【0008】しかしながら、上記の方法でも、FET のチャンネル幅 (W) が大きいとコンタクトから遠いチャンネル部のホールが排出しにくくなるという問題を生じる。その結果、図 28 に示す様に、FET のチャンネル幅 (W) が大きくなるにつれ、基板コンタクトの効果が薄れてゆく。図 28 で示す様に、チャンネル長 (L) が $1 \mu\text{m}$ の NMOSFET でも 5 ボルト以上のソース・ドレイン耐圧が得られない。

【0009】以上より、従来の NMOSFET の課題は、

- 50 ① チャンネル部のポテンシャル上昇により充分なソース

・ドレイン耐圧が得られない。

【0010】② 基板コンタクトをとるとコンタクト部形成のために余分な面積をとり、集積化の障害となる。

【0011】

【課題を解決するための手段】本発明の半導体装置は、絶縁面上の半導体薄膜の少なくとも一部を活性領域として用いる半導体装置において、前記活性領域の少なくとも一部に接する、キャリアライフタイムが前記活性領域より小さい低ライフタイム領域を設けたことを特徴とする。

【0012】

【作用】本発明は、活性領域の少なくとも一部に接する、キャリアライフタイムが前記活性領域より小さい低ライフタイム領域を設けることにより、キャリアの高移動度とキャリアの寿命の短縮化との両立を図ったものである。本発明によれば、例えば、高移動度と高耐圧とを両立したMOSFETを提供し、高集積、高性能のSOI集積回路又は液晶表示装置を実現することができる。

【0013】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

〈第1の実施例〉本発明の第1の実施例を図1(a)、

(b)を用いて説明する。図1(a)は本発明によるNMOSFETの断面図、図1(b)は図1(a)のNMOSFETのI-V特性である。

【0014】図1(a)のNMOSFETは、絶縁性基板101上のp型チャネル領域102(活性領域となる)、n⁺型ソース領域105、n⁺ドレイン領域104、ゲート絶縁膜111、ポリシリコンゲート108により構成されている。110はソース電極、109はドレイン電極であり、NMOSFETのまわりは絶縁膜103で囲われ、表面側は層間絶縁膜106、表面保護膜107で覆われている。

【0015】本実施例における本発明の特徴は、ソースチャネルードレインを形成している半導体層のうち、ゲート絶縁膜108に近い表面側を単結晶又はそれに準ずる結晶性を有するものとし、絶縁性基板101に近い部分を多結晶、アモルファスなどの低ライフタイム層120とした点にある。

【0016】以下、本実施例のNMOSFETの動作を説明する。ゲート電極108の電位を上昇させ、チャネル領域102表面にn型チャネルを誘起し、ドレイン→ソースに電流を流す動作は図27に示した従来例と全く同じである。ドレイン→ソース間電圧V_{DS}と、ゲート→ソース間電圧V_{GS}との関係がV_{DS}>V_{GS}-V_T(但し、V_Tはチャネル領域102の反転電圧)となると、NMOSFETは5極管領域に入り、チャネル領域102のうちドレイン領域104近傍に電界が集中する。高電界中にチャネルを流れる電子が注入されると衝突電離を起こし、ホール/電子対を発生する。発生したホールはポ

テンシャルの関係でp型チャネル領域102に蓄積され、やがて消滅する。従来例で述べた様に高品質のSOI-NMOSFETではホールの寿命が長いために、蓄積がすすみやがてp型チャネル領域のポテンシャルを上昇させるので耐圧劣化、しきい値変動をひきおこす。本実施例においては、低ライフタイム層120がホールの蓄積を抑制する働きをする。即ちホールは低ライフタイム層120で即座に消滅するので、キャリアの蓄積による耐圧劣化、V_T変動を抑制できる。

10 【0017】図1(b)は、低ライフタイム層120のホールの寿命τ_hをパラメータとして、ドレイン電流(I_D)対ドレイン→ソース電圧(V_{DS})の関係を示したものである。τ_hが短いほど、ドレイン電流の飽和性が良く、ドレイン→ソース間の耐圧が高いことがわかる。また、図28の従来例で見られた様なゲート幅に対する依存性もない(τ_h=10⁻⁹(sec))。

【0018】なお、図1(a)の構造では、チャネルードレインのpn接合に生じる空乏層中からの発生電流が懸念される。即ち、空乏層のうち、低ライフタイム層120を含む領域は、キャリアの発生ライフタイムも短くなるためにpn接合に通常より大きな逆方向電流を生じさせる。本実施例では、この影響を極力小さくするため、低ライフタイム層120の厚さをチャネル領域102の厚さに比べて数分の1から数十分の1と充分小さくした。その結果、チャネルOFF時のドレイン→ソースリーク電流は図27の従来例より数倍の増加程度に抑えられた。このレベルは実用上ほとんどさしつかえない。また、低ライフタイム層120を薄くしてもホール消滅の効果は不変であった。

30 【0019】次に、図2~図8を用いて、図1(a)の構造を実現する方法を説明する。本実施例においては、SOI基板は、ELTRAN法(基板どうしを貼り合わせてSOI基板を作製する方法の1つであり、例えば、特開平5-21338号公報に開示されている。)を応用して作製した。図2にはシリコン単結晶基板301が示されている。図3に示すように、HFとC₂H₅OHの混合溶液中で単結晶基板301表面を陽極化成することにより、多孔質シリコン層302を形成する。次に図4に示すように、エピタキシャル成長炉でノンドーパのシリコンエピタキシャル層303を多孔質シリコン層302上に成長させる。シリコンエピタキシャル層303の厚さは、MOSFETを形成する単結晶の厚さに応じて任意に選べるが0.5~5μm程度が適当である。又、エピタキシャル形成層の前に多孔質シリコン302表面を400℃~500℃で60分間程酸化しておく

40 と、エピタキシャル成長中に多孔質シリコンが構造変化を起こしにくい。次に図5に示すように、表面に絶縁層304を有するシリコン単結晶基板305を用意し、その上にポリシリコン306を堆積し、絶縁層304表面と、エピタキシャル層表面303を貼り合わせた。基板

50

としては表面が絶縁されたものであり、高温に耐えられるものであればよく、例えば石英基板なども可能である。またポリシリコン表面に軽い研磨を施せば平坦性が向上し、ポイドを生じない。貼り合わせた後、700℃以上の熱処理をおこなうことで、貼り合わせの密着性は向上する。次に図6に示すように、グラインディングとウェットエッチングにより、単結晶シリコン基板301、多孔質シリコン層302を順次除去する。多孔質シリコンを選択的に除去する溶液としては、 H_2O_2 とHFとの混合液を好適に用いることができる。以上により表面に薄い単結晶層303を有するSOI基板が完成した。

【0020】次にこの基板を用いてMOSFETを形成する。まず、図7に示すように、選択酸化により単結晶シリコン層102（エピタキシャル層303に対応する）及びポリシリコンによる低ライフタイム層120（ポリシリコン306に対応する）を選択的に酸化し、分離層103を形成する。なお、図7においては、図6の絶縁層304及び単結晶シリコン305をまとめて、絶縁性基板101と記してある。次にボロンのイオン注入、熱拡散をおこない、単結晶シリコン層102及び低ライフタイム層120をp型とする。次に図8に示すように、ゲート酸化膜111を形成し、ポリシリコンゲート電極108を堆積、パターニングする。ポリシリコンゲート電極108は、所望のしきい値に応じ、n型又はp型にドーピングしておく。ゲート電極108をマスクにして、ヒ素又はリンをイオン注入し、活性化熱処理をおこないソース領域105、ドレイン領域104を形成する。

【0021】更に絶縁層106を堆積後、ドレインソースのコンタクト孔を空け、アルミニウムを堆積、パターニングしソース電極110、ドレイン電極109を形成する。最後にシリコン窒化膜などの保護膜107を堆積し、図1(a)の構造を得る。

【0022】なお、図5で低ライフタイム層となるポリシリコン306は絶縁膜304を堆積した基板305上に堆積させたが、エピタキシャル膜303上に堆積してもよい。

【0023】又、NMOSFETはソース、ドレインの n^+ 層とp型チャネル層102が直接隣接する所謂シングル・ドレイン構造としたが、両者の間に電界緩和のための n^- 層を挿入する“LDD構造”も可能であり、本発明の効果を十分に発揮する。

【0024】又、PMOSFETでも同様の構造をとることができ、発明の効果は発揮されるものの、元来PMOSFETはドレイン・チャネル近傍でのキャリア発生はNMOSFETより2ケタほど小さいため、より微細なトランジスタで大きな効果が発揮される。

【0025】更に、低ライフタイム層120の形成法として、酸素のイオン注入による方法がある。即ち、SO

I基板製造工程の図5において、ポリシリコン3406を使用せず、単結晶のみのSOI基板を作製した後、単結晶表面より酸素イオンをイオン注入する。酸素イオンの注入深さにより、低ライフタイム層の厚さを決める。またイオン注入量により酸素濃度を抑制し、ライフタイムを決めることができる。一例として、酸素イオンを 1×10^{14} （個/cm²）注入し、1000℃×6hourの熱処理をすることで、ホールのライフタイムを単結晶層の約10分の1とすることができる。

10 【0026】本実施例の効果を列挙すると、

① SOI-MOSFETの課題であった低耐圧を解決でき、サブミクロンの超微細のMOSFETでも充分なソース・ドレイン耐圧が得られる。

【0027】② チャネル部のコンタクトをとらなくともチャネル部の電位が上昇することがないので、MOSFETのしきい値変動が起こらない。従って回路動作の不安定を生じない。またチャネル部のコンタクト、配線に要する面積が不要であるので、回路を微細化できる。実際に10万個のMOSFETを有する回路で20～40%のチップ面積縮小効果があった。

20 【0028】③ TFTを用いたマトリクス型液晶表示装置に本実施例の構成を用いると、高駆動力・高耐圧の液晶駆動回路を集積した液晶表示装置を提供できる。単結晶シリコンの移動度が得られるので、トランジスタサイズを従来の10分の1に縮小できる。また多数の画素を駆動することが可能となったので、高密度、高階調の液晶表示パネルを実現できる。

30 【0029】④ 本実施例はあらゆる作製法によるSOI基板に適用できる。特に、ELTRAN法によれば、結晶欠陥のない、均一なSOI基板を本発明に適用できるので、SOIを用いたMOS集積回路を高歩留り、再現性良く製造することが可能となる。

【0030】⑤ ポリシリコンの堆積条件、酸素イオンの注入条件を適当に選択することで、低ライフタイム層のライフタイムを制御することができる。従って、接合リークと耐圧の組合せを回路の仕様に応じて最適化することが可能となる。

40 【0031】⑥ トランジスタの耐圧、I-V特性のゲート幅依存性が解消され、回路設計の制約がなくなり、回路設計の自由度が増す。従ってSOI基板でより複雑な回路が実現できる。

【0032】⑦ 従来SOI集積回路の製造工程で困難であった不純物ゲッタリング効果が得られる。即ち、SOI基板を用いた集積回路の製造中に混入する重金属、アルカリ金属などの汚染不純物がポリシリコン又は酸素注入層に有効に集められ、MOSFETの表面付近への汚染の影響が極力排除できる。これはやはり歩留りの向上、MOSFETの信頼性の向上に寄与する。

50 〈第2の実施例〉本発明の第2の実施例を図9、図10を用いて説明する。

【0033】本実施例は、レーザー再結晶化法を用いて、単結晶／ポリシリコンの2層膜を得て、ポリシリコン層を低ライフタイム層として利用するものである。

【0034】図9に示すように、絶縁性又は透明基板401上にポリシリコン402を2000～10000Å堆積する。次にレーザー照射により、ポリシリコン402の一部を再結晶化する。従来、再結晶化は、全てのポリシリコンが単結晶化するエネルギーを与えるが、本実施例においては、エネルギーを従来の半分以下とすることで、ポリシリコン402の一部をポリシリコン層として残し、他を単結晶化する。その結果、図10に示す様に、単結晶層402bとポリシリコン層402aを得た。この基板を第1の実施例で示したMOSFETの製作に応用したところ、第1の実施例と同様な効果が得られた。

【0035】本実施例によれば、従来より用いられているレーザー再結晶化のレーザー出力の調整のみで、簡便にSOI基板を作製することができる。

〈第3の実施例〉本発明の第3の実施例を図11を用いて説明する。

【0036】本実施例は、ソース領域505、ドレイン領域504の接合を単結晶シリコン内に設け、低キャリア層520内への空乏層の広がりを極力抑えた例である。単結晶層502の厚さを2000～8000Å、低ライフタイム層520の厚さを500～2000Åとした。また第1、第2の実施例と同様に、ゲート酸化膜511上のポリシリコンをゲート電極508としている。分離層503は図11では、表面から基板501に達しているが、必ずしもその必要性はない。また第1の実施例と同様低ライフタイム層520を酸素イオンの注入により形成することも可能である。またPMOSFETに適用できることも言うまでもない。

【0037】本実施例によれば、ソース・ドレインのpn接合間に伸びた空乏層が低ライフタイム層520内に入りにくいので、MOSFETのリーク電流を従来と同じレベルに維持したまま、第1の実施例で説明した本発明による効果を享受できる。

〈第4の実施例〉本発明の第4の実施例を図12～図14を用いて説明する。

【0038】本実施例は、図12に示すように、低ライフタイム層620をゲート電極608の直下のみに配置し、ソース領域605、ドレイン領域604から離れた例である。NMOSFETはゲート電極608、ゲート絶縁膜611、p型チャンネル領域602、n⁺型ソース領域605、ドレイン領域604より成り、基板601上に形成され、分離層603により、隣接素子と分離されている。

【0039】図13、図14は本実施例のSOI基板の作製法を示している。図13に示すように、シリコン基板600上に開口部620をあけた後、ポリシリコン6

21を全面に堆積し、図14に示すように、エッチバック、或いは研磨により、開口部以外のポリシリコンを除去する。この基板600を別に用意した基板601と貼り合わせた後、基板600側を研磨し、所望のSOI基板を得る。基板600として、多孔質層上に成長させたエピタキシャル層を有する基板を用いれば、第1の実施例と同様にして、膜厚の均一な高品質SOI基板が得られる。

【0040】また、図14の構造を得る方法として、シリコン基板600にフォトリソグラフィと酸素イオン注入法を用いて、低ライフタイム層620を形成することができる。本実施例がPMOSFETにも適用できることは言うまでもない。

【0041】本実施例によれば、ソース、ドレインpn接合の空乏層が低ライフタイム層に伸びにくく、かつn⁺型層が基板601に達しているので、MOSFETのリーク電流、接合容量を従来と同じレベルに維持したまま、第1の実施例で説明した本発明による効果を享受できる。

20 〈第5の実施例〉本発明の第5の実施例を図15～図19を用いて説明する。

【0042】本実施例では、低ライフタイム層720を基板701に埋め込んだ構造をとることにより、MOSFETのリーク電流を極力抑えている。図15において701は基板、720は低ライフタイム層、702はp型チャンネル領域、705はn⁺ソース領域、704はn⁺ドレイン領域、711はゲート絶縁膜、708はポリシリコンゲート電極、703は分離層である。チャンネル領域702とドレイン領域704間に生ずる空乏層は、低ライフタイム層720にほとんどかからないのでリーク電流の増加量は従来例の数%増に抑えられる。

【0043】図16～図19は図15の作製方法を示す図である。SOIの単結晶はELTRAN法により作製した。即ち、図16に示すように、単結晶シリコン基板730表面をHFとC₂H₅OH混合溶液中で陽極化することで、多孔質シリコン層731を得る。次に図17に示すように、多孔質シリコン層731上にエピタキシャル成長により、エピタキシャル単結晶層732を形成する。一方、貼り合せに用いるもう1枚の基板として、図18に示すように、絶縁性基板701上に開口部720を設け、ポリシリコン721を全面に堆積した。次に図19に示すように、研磨法又はエッチングにより、開口部720以外のポリシリコン721を除去する。開口部のポリシリコンが低ライフタイム層となる。次に図17のエピタキシャル面と図18の低ライフタイム層面を貼り合わせ面として貼り合わせ、700℃以上の熱処理をおこない密着度を向上させる。その後、単結晶基板730、多孔質シリコン層731を順次除去して、所望のSOI基板とする。図15の構造は、低ライフタイム層720を位置合わせマークとして従来例と全

く同じ工程で作製することができる。本実施例もPMOSFETに適用できることは言うまでもない。

【0044】本実施例によれば、ソース、ドレインpn接合の空乏層が低ライフタイム層にほとんど伸びることがなく、かつn⁺型層が基板701に達しているので、MOSFETのリーク電流、接合容量を従来例と同じレベルに維持したまま第1の実施例で説明した本発明による効果を享受できる。

（第6の実施例）本発明の第6の実施例を図20～図22を用いて説明する。

【0045】本実施例では、低ライフタイム層をウェハ全面に残し、ソース領域805、ドレイン領域804をチャンネル領域802より上部にもちあげ、ソースドレイン抵抗を小さくした。

【0046】図20において、801は基板、820は低ライフタイム層、802はp型チャンネル領域、805はn⁺ソース領域、804はn⁺ドレイン領域、811はゲート絶縁膜、808はポリシリコンゲート電極、803は分離層である。ソース、ドレインはチャンネルより上部にもちあがっており、十分な厚さをとれるので抵抗が従来例より低い。また空乏層が低ライフタイム層に伸びにくく、かつ、短チャンネルに強い構造となっている。

【0047】図21、図22は図20の作製工程の簡略図である。801は絶縁性基板、820はポリシリコン又は酸素イオンをドーブした低ライフタイム層、802は単結晶シリコンであり、イオン注入により、p型にドーブしてある。図21に示すように、ゲート電極を埋め込む領域に開口部803を設ける。次に、図22に示すように、選択酸化により絶縁分離層804を形成する。次に表面を酸化してゲート酸化膜811を形成する。次にポリシリコンを堆積し、ゲート電極808を形成する。イオン注入法及び熱処理によりソース・ドレインのn⁺型層805、804を形成して図20の構造を得る。

【0048】SOI基板はELTRAN法、レーザー再結晶法、研磨法などが適用できる。又、本構造をPMOSFETにも同様に適用できる事は言うまでもない。

【0049】本実施例によれば、ドレインーチャンネル間の空乏層が低ライフタイム層にほとんど伸びず、かつ第1の実施例よりソース抵抗、ドレイン抵抗が小さく、短チャンネル効果が抑制されたNMOSFETを提供できる。

（第7の実施例）本発明の第7の実施例を図23～図26を用いて説明する。

【0050】本実施例では、低ライフタイム層を1つのNMOSFETの半導体領域をとり囲む様に形成した。

【0051】図23(a)は本実施例のNMOSFETの平面図、図23(b)は(a)のAA'断面図、図23(c)は(a)のBB'断面図である。

【0052】活性層902は絶縁性基板901上に形成

され、トランジスタの周囲は一部がエッチング除去され、絶縁分離膜903で囲まれている。トランジスタ周辺の段差部には低ライフタイム層920がトランジスタを囲む層に形成され、例えばBB'断面図に見られる様に、チャンネル幅方向の側方において活性層902と接している。MOSFETはゲート電極908、その直下のゲート絶縁膜911、及びゲート電極の両側、活性層内にソース領域905、ドレイン領域904が形成されている。

10 【0053】なお、本実施例においては、①低ライフタイム層920が活性層902と接する部分を増大させるために、分離層903の直下に活性層と接続している半導体領域を残し、②ホールの排出を効率よく行うためにソース領域905、ドレイン領域904のpn接合を基板901から離し、③n⁺ソース、ドレインを低ライフタイム層間で電流リーク、耐圧低下が起こらない様にソース、ドレインと低ライフタイム層とを離しているが、①～③の構成のいずれも本実施例に必要な条件ではない。

20 【0054】次に図24～図26を用いて、本実施例の作製方法を説明する。図24は絶縁基板901上に半導体薄膜層が設けられた基板を示す。この薄膜層はMOSFETの活性層902となる。次にトランジスタとなる領域をレジスト等で覆い、周囲の半導体薄膜層を一部エッチング除去する。前述した様に、絶縁性基板が露出するまで、半導体薄膜層を完全に除去してもよい。次に図25に示すように、全面に半導体薄膜の段差程度の厚さのポリシリコン920を堆積する。これが後に低ライフタイム層となる。次に異方性エッチングにより平坦部のポリシリコン920を除去し、段差部にポリシリコン920を残存させる。この方法はLDD(Lightly Doped Drain)のMOSFETの作製方法で用いられ、LSI製造において充分確立した技術である。その後、選択酸化、或は絶縁膜の埋め戻し技術等により、トランジスタ領域の周囲を絶縁分離膜で覆う。

【0055】その後、酸化によりゲート酸化膜、ポリシリコンの堆積、パターンニングによりゲート電極を形成し、図23(a)～(c)の構造を得る。

【0056】本実施例は、低ライフタイム層を後から形成できるので、比較的簡便な工程でMOSFETの耐圧向上効果が得られる利点がある。

【0057】

【発明の効果】以上説明したように、本発明によれば、キャリアの高移動度とキャリアの寿命の短縮化との両立を図ることができる半導体装置を提供できる。

【0058】より具体的には、本発明をSOI-MOSFETに用いた場合、次の効果を得ることができる。

【0059】① SOI-MOSFETの課題であった低耐圧の問題を解決できる。サブミクロンの超微細のMOSFETでも充分なソース・ドレイン耐圧が得られ

る。

【0060】② チャネル部のコンタクトをとらなくともチャネル部の電位が上昇することがないので、MOSFETのしきい値変動が起こらない。従って回路動作の不安定を生じない。またチャネル部のコンタクト、配線に要する面積が不要であるので、回路を微細化できる。実際に10万個のMOSトランジスタを有する回路で20~40%のチップ面積縮小効果があった。

【0061】③ TFTを用いたマトリクス型液晶表示装置に本発明を用いると、高駆動力・高耐圧の液晶駆動回路を集積した液晶表示装置を提供できる。単結晶シリコンの移動度が得られるので、トランジスタサイズを従来の10分の1に縮小できる。また多数の画素を駆動することが可能となったので、高密度、高階調の液晶表示パネルを実現できる。

【0062】④ 本発明はあらゆる作製法によるSOI基板に適用できる。特に、ELTRAN法によれば、結晶欠陥のない、均一なSOI基板を本発明に適用できるので、SOIを用いたMOS集積回路を高歩留り、再現性良く製造することが可能となる。

【0063】⑤ ポリシリコンの堆積条件、酸素イオンの注入条件を適当に選択することで、低ライフタイム層のライフタイムを制御することができる。従って、接合リークと耐圧の組合せを回路の仕様に応じて最適化することが可能となる。

【0064】⑥ トランジスタの耐圧、I-V特性のゲート幅依存性が解消され、回路設計の制約がなくなり、回路設計の自由度が増す。従ってSOI基板でより複雑な回路が実現できる。

【0065】⑦ 従来SOI集積回路の製造工程で困難であった不純物ゲッタリング効果が得られる。即ち、SOI基板を用いた集積回路の製造中に混入する重金属、アルカリ金属などの汚染不純物がポリシリコン又は酸素注入層に有効に集められ、MOSFETの表面付近への汚染の影響が極力排除できる。これはやはり歩留りの向上、MOSFETの信頼性の向上に寄与する。

【図面の簡単な説明】

【図1】(a)は本発明の第1の実施例によるSOI-NMOSFETの断面図である。(b)は本発明の第1の実施例によるSOI-NMOSFETのI-V特性である。

【図2】本発明の第1の実施例によるSOI-NMOSFETの製造工程図である。

【図3】本発明の第1の実施例によるSOI-NMOSFETの製造工程図である。

【図4】本発明の第1の実施例によるSOI-NMOSFETの製造工程図である。

【図5】本発明の第1の実施例によるSOI-NMOSFETの製造工程図である。

【図6】本発明の第1の実施例によるSOI-NMOS

FETの製造工程図である。

【図7】本発明の第1の実施例によるSOI-NMOSFETの製造工程図である。

【図8】本発明の第1の実施例によるSOI-NMOSFETの製造工程図である。

【図9】本発明の第2の実施例によるSOI-NMOSFETの製造工程図である。

【図10】本発明の第2の実施例によるSOI-NMOSFETの製造工程図である。

【図11】本発明の第3の実施例によるSOI-NMOSFETの断面図である。

【図12】本発明の第4の実施例によるSOI-NMOSFETの断面図である。

【図13】本発明の第4の実施例によるSOI-NMOSFETの製造工程図である。

【図14】本発明の第4の実施例によるSOI-NMOSFETの製造工程図である。

【図15】本発明の第5の実施例によるSOI-NMOSFETの断面図である。

【図16】本発明の第5の実施例によるSOI-NMOSFETの製造工程図である。

【図17】本発明の第5の実施例によるSOI-NMOSFETの製造工程図である。

【図18】本発明の第5の実施例によるSOI-NMOSFETの製造工程図である。

【図19】本発明の第5の実施例によるSOI-NMOSFETの製造工程図である。

【図20】本発明の第6の実施例によるSOI-NMOSFETの断面図である。

【図21】本発明の第6の実施例によるSOI-NMOSFETの製造工程図である。

【図22】本発明の第6の実施例によるSOI-NMOSFETの製造工程図である。

【図23】(a)は本発明の第7の実施例によるSOI-NMOSFETの平面図、(b)は(a)はAA'断面図、(c)はBB'断面図である。

【図24】本発明の第7の実施例によるSOI-NMOSFETの製造工程図である。

【図25】本発明の第7の実施例によるSOI-NMOSFETの製造工程図である。

【図26】本発明の第7の実施例によるSOI-NMOSFETの製造工程図である。

【図27】従来例によるSOI-NMOSFETの断面図である。

【図28】従来例によるSOI-NMOSFETのI-V特性である。

【符号の説明】

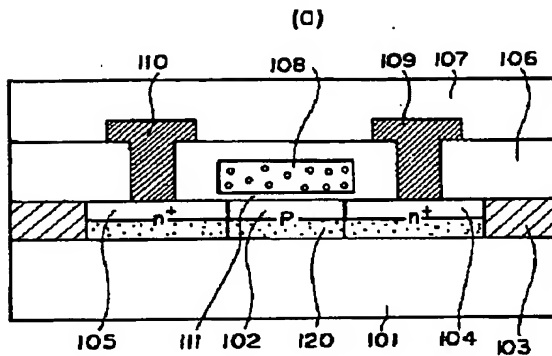
101, 501, 601, 701, 801, 901 絶縁性基板

102, 602, 702, 802, p型チャネル領域

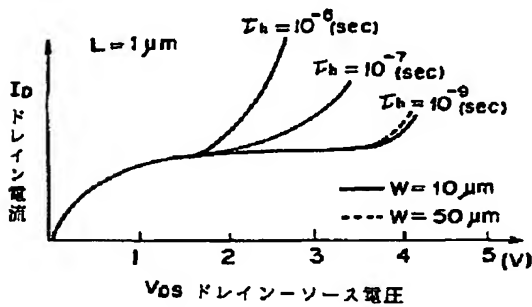
13

103, 503, 603, 703, 803, 903 絶
縁分離膜
104, 504, 604, 704, 804, 904 n
+ ドレイン領域
105, 505, 605, 705, 805, 905 n
+ 型ソース領域
106 層間絶縁膜
107 表面保護膜
108, 508, 608, 708, 808, 908 ゲ

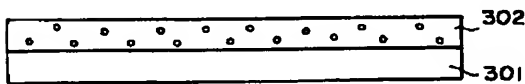
【図1】



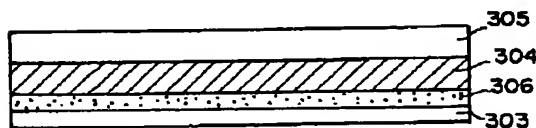
(b)



【図3】



【図6】



14

ート電極

109 ドレイン電極

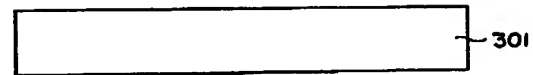
110 ソース電極

111, 511, 611, 711, 811, 911 ゲ
ート絶縁膜120, 520, 620, 720, 820, 920 低
ライフタイム層

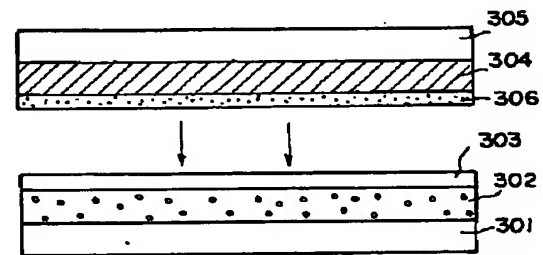
502 単結晶層

902 活性層

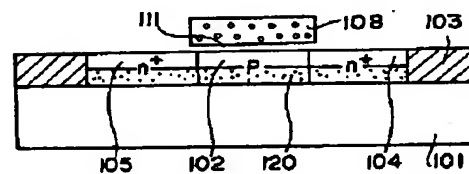
【図2】



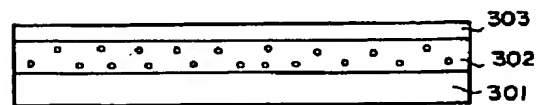
【図5】



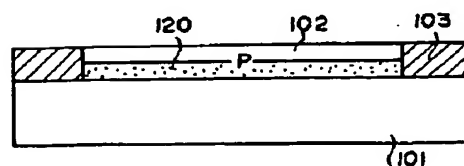
【図8】



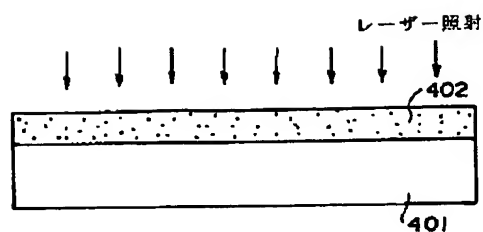
【図4】



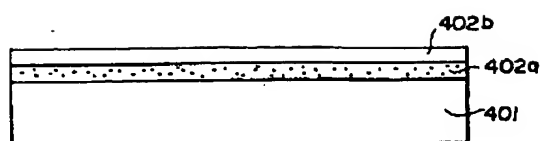
【図7】



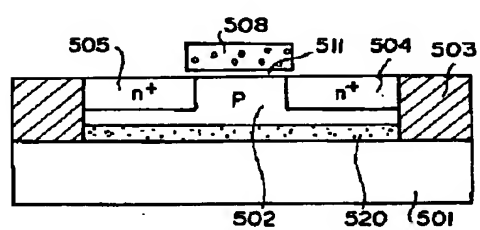
【図9】



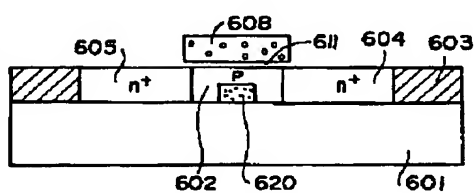
【図10】



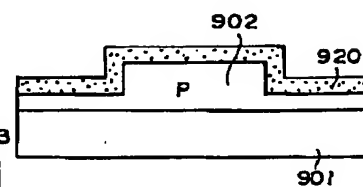
【図11】



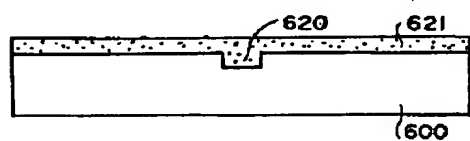
【図12】



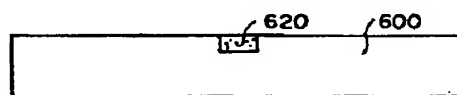
【図25】



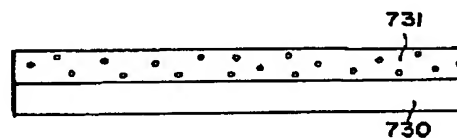
【図13】



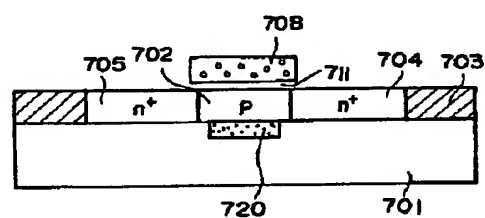
【図14】



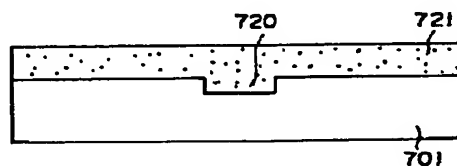
【図16】



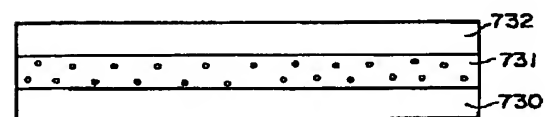
【図15】



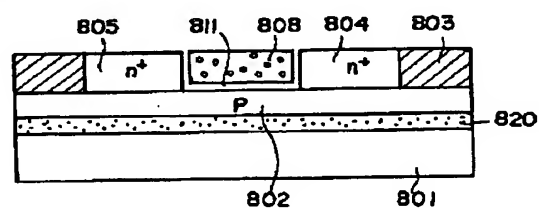
【図18】



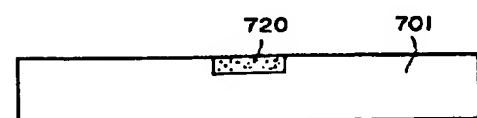
【図17】



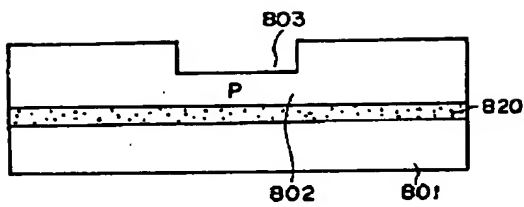
【図20】



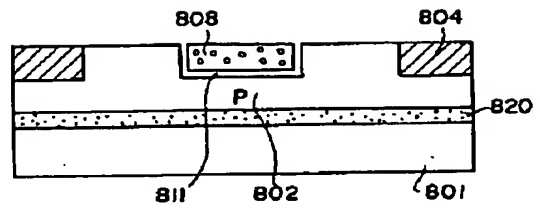
【図19】



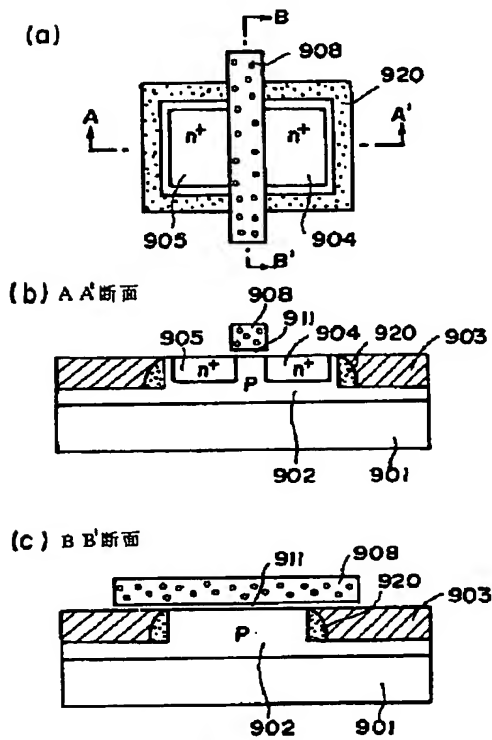
【図21】



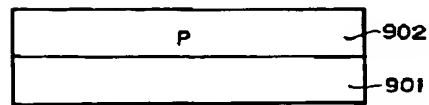
【図22】



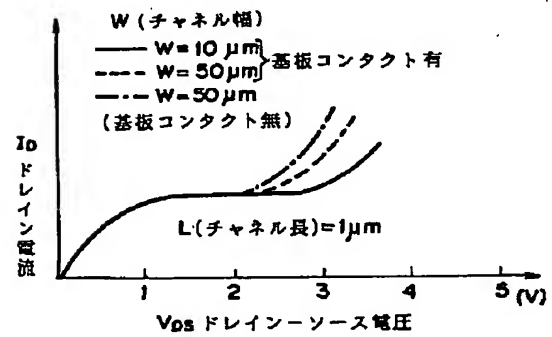
【図23】



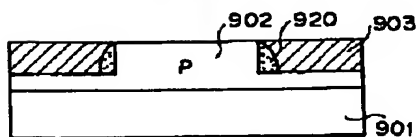
【図24】



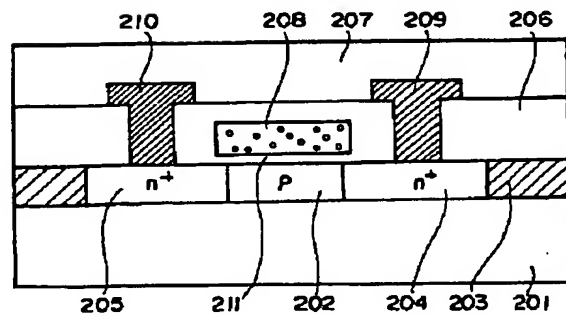
【図28】



【図26】



【図27】



フロントページの続き

(51)Int. Cl. ⁶

H01L 27/12

識別記号

庁内整理番号

FI

技術表示箇所

B